

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Shiozawa et al
Filed 7/30/03
Q76717
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月31日

出 願 番 号

Application Number:

特願2002-222852

[ST.10/C]:

[JP2002-222852]

出 願 人

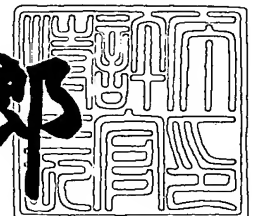
Applicant(s):

日本電気株式会社

2003年 5月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037412

【書類名】 特許願

【整理番号】 54405993

【提出日】 平成14年 7月31日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 7/00
H04L 7/02

【発明者】

【住所又は居所】 東京都港区芝 5 丁目 7 番 1 号 日本電気株式会社内

【氏名】 塩沢 隆広

【発明者】

【住所又は居所】 東京都港区芝 5 丁目 7 番 1 号 日本電気株式会社内

【氏名】 村上 紅

【発明者】

【住所又は居所】 東京都世田谷区等々力 7 丁目 2 7 番 1 1 号 日東通信機株式会社内

【氏名】 川高 伸人

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100085235

【弁理士】

【氏名又は名称】 松浦 兼行

【手数料の表示】

【予納台帳番号】 031886

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304200

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアルディジタル信号伝送方式

【特許請求の範囲】

【請求項 1】 伝送する H D T V シリアルディジタル信号をパラレルデータと時間情報 R T S とに分離して送信する R T S 生成回路と、伝送された前記パラレルデータと前記時間情報 R T S とを受信し、元の前記 H D T V シリアルディジタル信号を得る R T S 受信回路とからなるシリアルディジタル信号伝送方式であって、

前記 R T S 生成回路は、

ネットワーククロックを所定の第 1 の周波数に分周する第 1 の分周手段と、

伝送する前記 H D T V シリアルディジタル信号をシリアルパラレル変換して、パラレル信号のデータを送信すると共に、第 2 の周波数に分周したクロックを出力するシリアルパラレル変換器と、

前記シリアルパラレル変換器から出力された前記分周クロックを $1/N$ の周波数に分周する第 1 のカウンタと、

前記第 1 のカウンタの出力タイミングで、前記第 1 の分周手段により分周されたクロックをラッチして前記時間情報 R T S を出力するラッチ回路とを有し、

前記 R T S 受信回路は、

前記ネットワーククロックを前記所定の第 1 の周波数に分周する第 2 の分周手段と、

前記ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、

伝送されてきた前記 R T S を一時蓄積するメモリ手段と、

前記第 2 の分周手段により分周されたクロックと、前記メモリ手段から読み出した前記 R T S を比較するコンパレータと、

前記コンパレータの出力信号を前記ゲートパルス発生手段からの前記ゲートパルスに基づいてゲート出力するゲート回路と、

前記ゲート回路の出力信号の周波数を、前記 N 倍の周波数に通倍して前記第 2 の周波数のクロックを再生する周波数通倍手段と、

前記周波数通倍手段から出力された前記第 2 の周波数の再生クロックと、伝送されてきた前記パラレル信号のデータとを入力として受け、これらをパラレルシリアル変換して前記 H D T V シリアルデジタル信号を得るパラレルシリアル変換器とよりなり、前記 N の値を 8、15 又は 16 に選定したことを特徴とするシリアルデジタル信号伝送方式。

【請求項 2】 前記第 1 の分周手段は、前記ネットワーククロックを $1/32$ 倍の周波数に分周する第 1 の分周回路と、前記第 1 の分周回路から出力されるクロックをカウントして前記所定の第 1 の周波数の信号を得る第 1 の p ビットカウンタとよりなり、前記第 2 の分周手段は、前記ネットワーククロックを $1/32$ 倍の周波数に分周する第 2 の分周回路と、前記第 2 の分周回路から出力されるクロックをカウントして前記所定の第 1 の周波数の信号を得る第 2 の p ビットカウンタとよりなり、前記ゲートパルス発生手段は、前記第 2 の分周回路から出力されるクロックをカウントして前記ゲートパルス outputs $M_q - 2 (p - 1)$ カウンタ（ただし、 M_q は前記 H D T V シリアルデジタル信号のシリアルクロックの N 周期中のネットワーククロックの 32 分周クロックのカウント数の平均 M を越えない最大の整数）であり、前記周波数通倍手段は、前記ゲート回路の出力信号の周波数を、前記 N 倍の周波数に通倍する P L L 回路であることを特徴とする請求項 1 記載のシリアルデジタル信号伝送方式。

【請求項 3】 前記メモリ手段は前記ゲート回路の出力信号により読み出しタイミングが定められる F I F O であり、前記 $M_q - 2 (p - 1)$ カウンタは前記ゲート回路の出力信号によりリセットされることを特徴とする請求項 2 記載のシリアルデジタル信号伝送方式。

【請求項 4】 伝送する H D T V シリアルデジタル信号をパラレルデータと第 1 のクロックに分離するシリアルパラレル変換器と、前記第 1 のクロックとネットワーククロックに基づいて時間情報 R T S を生成する R T S 生成回路と、前記 R T S 及びパラレルデータを所定の構造の A T M セルに組み立てて送信すると共に、受信した前記所定の構造の A T M セルを前記 R T S 及びパラレルデータに分離する A T M セル処理部と、前記分離された時間情報 R T S とネットワーククロックに基づいて元の前記第 1 のクロックを再生する R T S 受信回路と、前記

分離されたパラレルデータと前記 R T S 受信回路からの再生された前記第 1 のクロックとから前記 H D T V シリアルデジタル信号を得るパラレルシリアル変換器とからなるシリアルデジタル信号伝送方式であって、

前記 R T S 生成回路は、

前記ネットワーククロックを所定の周波数の第 2 のクロックに分周する第 1 の分周手段と、

前記第 1 のクロックを $1/N$ の周波数に分周する第 1 のカウンタと、

前記第 1 のカウンタの出力タイミングで、前記第 1 の分周手段により分周された第 2 のクロックをラッチして前記時間情報 R T S を出力するラッチ回路とを有し、

前記 R T S 受信回路は、

前記ネットワーククロックを前記所定の周波数に分周する第 2 の分周手段と、

前記ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、

伝送されてきた前記 R T S を一時蓄積するメモリ手段と、

前記第 2 の分周手段により分周されたクロックと、前記メモリ手段から読み出した前記 R T S を比較するコンパレータと、

前記コンパレータの出力信号を前記ゲートパルス発生手段からの前記ゲートパルスに基づいてゲート出力するゲート回路と、

前記ゲート回路の出力信号の周波数を、前記 N 倍の周波数に通倍して前記第 1 のクロックを再生する周波数通倍手段とよりなり、

前記 N の値を 8 に選定すると共に、前記 A T M セル処理部は、前記 A T M セル 4 個に対して、前記 H D T V シリアルデジタル信号 1 8 0 バイトを多重し、ペイロードの余りに該 H D T V シリアルデジタル信号 1 8 0 バイトに対応する 9 個の前記時間情報 R T S を多重した A T M セルを生成することを特徴とするシリアルデジタル信号伝送方式。

【請求項 5】 伝送する H D T V シリアルデジタル信号をパラレルデータと第 1 のクロックに分離するシリアルパラレル変換器と、前記第 1 のクロックとネットワーククロックに基づいて時間情報 R T S を生成する R T S 生成回路と、

前記 R T S 及びパラレルデータを所定の構造の A T M セルに組み立てて送信すると共に、受信した前記所定の構造の A T M セルを前記 R T S 及びパラレルデータに分離する A T M セル処理部と、前記分離された時間情報 R T S とネットワーククロックに基づいて元の前記第 1 のクロックを再生する R T S 受信回路と、前記分離されたパラレルデータと前記 R T S 受信回路からの再生された前記第 1 のクロックとから前記 H D T V シリアルデジタル信号を得るパラレルシリアル変換器とからなるシリアルデジタル信号伝送方式であって、

前記 R T S 生成回路は、

前記ネットワーククロックを所定の周波数の第 2 のクロックに分周する第 1 の分周手段と、

前記第 1 のクロックを $1/N$ の周波数に分周する第 1 のカウンタと、

前記第 1 のカウンタの出力タイミングで、前記第 1 の分周手段により分周された第 2 のクロックをラッチして前記時間情報 R T S を出力するラッチ回路とを有し、

前記 R T S 受信回路は、

前記ネットワーククロックを前記所定の周波数に分周する第 2 の分周手段と、

前記ネットワーククロックに基づいてゲートパルスが発生するゲートパルス発生手段と、

伝送されてきた前記 R T S を一時蓄積するメモリ手段と、

前記第 2 の分周手段により分周されたクロックと、前記メモリ手段から読み出した前記 R T S を比較するコンパレータと、

前記コンパレータの出力信号を前記ゲートパルス発生手段からの前記ゲートパルスに基づいてゲート出力するゲート回路と、

前記ゲート回路の出力信号の周波数を、前記 N 倍の周波数に通倍して前記第 1 のクロックを再生する周波数通倍手段とよりなり、

前記 N の値を 8 に選定すると共に、前記 A T M セル処理部は、前記 A T M セル 1 2 3 個に対して、前記 H D T V シリアルデジタル信号 5 5 0 0 バイトを多重し、ペイロードの余りに該 H D T V シリアルデジタル信号 5 5 0 0 バイトに対応する 2 7 5 個の前記時間情報 R T S を多重した A T M セルを生成することを特

徴とするシリアルデジタル信号伝送方式。

【請求項 6】 伝送する H D T V シリアルデジタル信号をパラレルデータと第 1 のクロックに分離するシリアルパラレル変換器と、前記第 1 のクロックとネットワーククロックに基づいて時間情報 R T S を生成する R T S 生成回路と、前記 R T S 及びパラレルデータを所定の構造の A T M セルに組み立てて送信すると共に、受信した前記所定の構造の A T M セルを前記 R T S 及びパラレルデータに分離する A T M セル処理部と、前記分離された時間情報 R T S とネットワーククロックに基づいて元の前記第 1 のクロックを再生する R T S 受信回路と、前記分離されたパラレルデータと前記 R T S 受信回路からの再生された前記第 1 のクロックとから前記 H D T V シリアルデジタル信号を得るパラレルシリアル変換器とからなるシリアルデジタル信号伝送方式であって、

前記 R T S 生成回路は、

前記ネットワーククロックを所定の周波数の第 2 のクロックに分周する第 1 の分周手段と、

前記第 1 のクロックを $1/N$ の周波数に分周する第 1 のカウンタと、

前記第 1 のカウンタの出力タイミングで、前記第 1 の分周手段により分周された第 2 のクロックをラッチして前記時間情報 R T S を出力するラッチ回路とを有し、

前記 R T S 受信回路は、

前記ネットワーククロックを前記所定の周波数に分周する第 2 の分周手段と、

前記ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、

伝送されてきた前記 R T S を一時蓄積するメモリ手段と、

前記第 2 の分周手段により分周されたクロックと、前記メモリ手段から読み出した前記 R T S を比較するコンパレータと、

前記コンパレータの出力信号を前記ゲートパルス発生手段からの前記ゲートパルスに基づいてゲート出力するゲート回路と、

前記ゲート回路の出力信号の周波数を、前記 N 倍の周波数に逡倍して前記第 1 のクロックを再生する周波数逡倍手段とよりなり、

前記Nの値を15に選定すると共に、前記ATMセル処理部は、前記ATMセル8個に対して、前記HDTVシリアルデジタル信号375バイトを多重し、ペイロードの余りとSAR-PDUヘッダのRTS領域に該HDTVシリアルデジタル信号375バイトに対応する10個の前記時間情報RTSを多重したATMセルを生成することを特徴とするシリアルデジタル信号伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシリアルデジタル信号伝送方式に係り、特に高精細度テレビ（HDTV）方式のシリアルデジタル信号（HD-SDI：High Definition Television Serial Digital Interface）を伝送する伝送方式に関する。

【0002】

【従来の技術】

同期デジタルハイアラキー（SDH：Synchronous Digital Hierarchy）ネットワークでネットワーククロックと非同期の固定ビットレート（CBR：Continuous Bit Rate）信号を伝送する方式として、スタッフ同期方式が知られている。このスタッフ同期方式は、余分なビット（スタッフビット）を挿入することによりビット間隔を一定に調整する方式である。

【0003】

また、非同期転送モード（ATM：Asynchronous Transfer Mode）ネットワークでネットワーククロックと非同期の固定ビットレート（CBR）信号を伝送する方式は、国際電気通信連合電気通信標準化部門（ITU-T）勧告I.363.1（B-ISDN ATM Adaptation Layer Specification：Type 1 AAL）に規定されている。この規格書の14頁の2.5.2.2.2（Synchronous Residual Time Stamp（SRTS）method）には、送信側で網クロックの周波数に一致していない信号を送信する非同期転送では、受信側で同期のため送信側クロック周波数再生が必要なため、CBRのクロックがある回数カウントされる間に、システムクロックが何回カウントされるかを測定し、伝送する情報量を減らすために、予測されるカウント値と実際のカウント数の下位4ビットの差である補正タイムスタンプ値（RTS値）を

送信側から受信側に転送する同期型余剰タイムスタンプ（S R T S）法が、C B R 信号について規定されている。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかし、前記スタッフ同期方式では、固定ビットレート（C B R）信号が、1 . 4 8 5 G b p s の H D T V シリアルデジタル信号（H D - S D I）のように高速な信号であるときには適用できない。また、前述した A T M ネットワークでネットワーククロックと非同期の C B R 信号を伝送することを規定した、同期型余剰タイムスタンプ（S R T S）法は、1 5 5 . 5 2 M H z のネットワーククロックに対して規定されているため、ビットレートが1 . 4 8 5 G b p s である H D T V シリアルデジタル信号（H D - S D I）のように高速な固定ビットレート（C B R）信号にはそのまま適用できない。

【 0 0 0 5 】

また、S R T S 法には、任意に決定できる多くのパラメータがあり、最適なパラメータを選ばないと出力側の信号のジッタが大きくなり、出力信号は実用に適さない信号となってしまうという問題もある。

【 0 0 0 6 】

本発明は以上の点に鑑みなされたもので、S R T S 法を用いて小さなジッタで H D T V シリアルデジタル信号（H D - S D I）のクロックを伝送し得るシリアルデジタル信号伝送方式を提供することを目的とする。

【 0 0 0 7 】

また、本発明の他の目的は、S R T S 法を用いて H D T V シリアルデジタル信号を伝送する際に、データと R T S を効率的に A T M セルにマッピングし得るシリアルデジタル信号伝送方式を提供することにある。

【 0 0 0 8 】

更に、本発明の他の目的は、A T M で S R T S 法を用いて H D T V シリアルデジタル信号を伝送する際に、H D T V シリアルデジタル信号のライン構造と同期をとり、データと R T S（Residual Time Stamp）を効率的に A T M セルにマッピングし得るシリアルデジタル信号伝送方式を提供することにある。

【 0 0 0 9 】

また、更に本発明の他の目的は、A T MでS R T S法を用いてH D T Vシリアルデジタル信号を伝送する際に、H D T Vシリアルデジタル信号のフレーム構造と同期をとり、データとR T Sを効率的にA T Mセルにマッピングし得るシリアルデジタル信号伝送方式を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記の目的を達成するため、第1の発明は、伝送するH D T Vシリアルデジタル信号をパラレルデータと時間情報R T Sとに分離して送信するR T S生成回路と、伝送されたパラレルデータと時間情報R T Sとを受信し、元のH D T Vシリアルデジタル信号を得るR T S受信回路とからなるシリアルデジタル信号伝送方式であって、

R T S生成回路は、ネットワーククロックを所定の第1の周波数に分周する第1の分周手段と、伝送するH D T Vシリアルデジタル信号をシリアルパラレル変換して、パラレル信号のデータを送信すると共に、第2の周波数に分周したクロックを出力するシリアルパラレル変換器と、シリアルパラレル変換器から出力された分周クロックを $1/N$ の周波数に分周する第1のカウンタと、第1のカウンタの出力タイミングで、第1の分周手段により分周されたクロックをラッチして時間情報R T Sを出力するラッチ回路とを有し、

R T S受信回路は、ネットワーククロックを所定の第1の周波数に分周する第2の分周手段と、ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、伝送されてきたR T Sを一時蓄積するメモリ手段と、第2の分周手段により分周されたクロックと、メモリ手段から読み出したR T Sを比較するコンパレータと、コンパレータの出力信号をゲートパルス発生手段からのゲートパルスに基づいてゲート出力するゲート回路と、ゲート回路の出力信号の周波数を、N倍の周波数に通倍して第2の周波数のクロックを再生する周波数通倍手段と、周波数通倍手段から出力された第2の周波数の再生クロックと、伝送されてきたパラレル信号のデータとを入力として受け、これらをパラレルシリアル変換してH D T Vシリアルデジタル信号を得るパラレルシリアル変換器とよ

りなり、Nの値を8、15又は16に選定したことを特徴とする。

【0011】

この発明では、HDTVシリアルデジタル信号という高速な固定ビットレート(CBR)信号を伝送する際に、SRTS法を用いてHDTVシリアルデジタル信号のクロックを伝送することができる。

【0012】

また、上記の目的を達成するため、第2の発明は、第1の発明の第1の分周手段を、ネットワーククロックを $1/32$ 倍の周波数に分周する第1の分周回路と、第1の分周回路から出力されるクロックをカウントして所定の第1の周波数の信号を得る第1のpビットカウンタとよりなり、第2の分周手段を、ネットワーククロックを $1/32$ 倍の周波数に分周する第2の分周回路と、第2の分周回路から出力されるクロックをカウントして所定の第1の周波数の信号を得る第2のpビットカウンタとよりなり、ゲートパルス発生手段を、第2の分周回路から出力されるクロックをカウントしてゲートパルスを出力する $M_q - 2^{(p-1)}$ カウンタ(ただし、 M_q はHDTVシリアルデジタル信号のシリアルクロックのN周期中のネットワーククロックの 32 分周クロックのカウント数の平均Mを越えない最大の整数)であり、周波数通倍手段を、ゲート回路の出力信号の周波数を、N倍の周波数に通倍するPLL回路で構成したことを特徴とする。

【0013】

また、上記の目的を達成するため、第3の発明は、第1の発明のメモリ手段をゲート回路の出力信号により読み出しタイミングが定められるFIFOに限定し、 $M_q - 2^{(p-1)}$ カウンタをゲート回路の出力信号によりリセットされる構成としたことを特徴とする。

【0014】

また、上記の目的を達成するため、第4の発明は、伝送するHDTVシリアルデジタル信号をパラレルデータと第1のクロックに分離するシリアルパラレル変換器と、第1のクロックとネットワーククロックに基づいて時間情報RTSを生成するRTS生成回路と、RTS及びパラレルデータを所定の構造のATMセルに組み立てて送信すると共に、受信した所定の構造のATMセルをRTS及び

パラレルデータに分離するATMセル処理部と、分離された時間情報RTSとネットワーククロックに基づいて元の第1のクロックを再生するRTS受信回路と、分離されたパラレルデータとRTS受信回路からの再生された第1のクロックとからHDTVシリアルデジタル信号を得るパラレルシリアル変換器とからなるシリアルデジタル信号伝送方式であって、

RTS生成回路は、ネットワーククロックを所定の周波数の第2のクロックに分周する第1の分周手段と、第1のクロックを $1/N$ の周波数に分周する第1のカウンタと、第1のカウンタの出力タイミングで、第1の分周手段により分周された第2のクロックをラッチして時間情報RTSを出力するラッチ回路とを有し、

RTS受信回路は、ネットワーククロックを所定の周波数に分周する第2の分周手段と、ネットワーククロックに基づいてゲートパルスが発生するゲートパルス発生手段と、伝送されてきたRTSを一時蓄積するメモリ手段と、第2の分周手段により分周されたクロックと、メモリ手段から読み出したRTSを比較するコンパレータと、コンパレータの出力信号をゲートパルス発生手段からのゲートパルスに基づいてゲート出力するゲート回路と、ゲート回路の出力信号の周波数を、 N 倍の周波数に通倍して第1のクロックを再生する周波数通倍手段とよりなり、 N の値を8に選定すると共に、ATMセル処理部は、ATMセル4個に対して、HDTVシリアルデジタル信号180バイトを多重し、ペイロードの余りにHDTVシリアルデジタル信号180バイトに対応する9個の時間情報RTSを多重したATMセルを生成することを特徴とする。

【0015】

この発明では、HDTVシリアルデジタル信号という高速な固定ビットレート(CBR)信号をATMセルで伝送する際に、SRTS法を用いてHDTVシリアルデジタル信号とRTSをATMセルに多重して伝送することができる。

【0016】

また、上記の目的を達成するため、第5の発明は、第4の発明と同様にRTS生成回路は、ネットワーククロックを所定の周波数の第2のクロックに分周する第1の分周手段と、第1のクロックを $1/N$ の周波数に分周する第1のカウンタ

と、第1のカウンタの出力タイミングで、第1の分周手段により分周された第2のクロックをラッチして時間情報RTSを出力するラッチ回路とを有し、RTS受信回路は、ネットワーククロックを所定の周波数に分周する第2の分周手段と、ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、伝送されてきたRTSを一時蓄積するメモリ手段と、第2の分周手段により分周されたクロックと、メモリ手段から読み出したRTSを比較するコンパレータと、コンパレータの出力信号をゲートパルス発生手段からのゲートパルスに基づいてゲート出力するゲート回路と、ゲート回路の出力信号の周波数を、N倍の周波数に逡倍して第1のクロックを再生する周波数逡倍手段とよりなるが、第4の発明と異なり、Nの値を8に選定すると共に、ATMセル処理部は、ATMセル123個に対して、HDTVシリアルデジタル信号5500バイトを多重し、ペイロードの余りにHDTVシリアルデジタル信号5500バイトに対応する275個の時間情報RTSを多重したATMセルを生成することを特徴とする。

【0017】

この発明では、HDTVシリアルデジタル信号という高速な固定ビットレート(CBR)信号をATMセルで伝送する際に、HDTVシリアルデジタル信号の1ライン分の5500バイトをATMセル123個に多重して伝送でき、HDTVシリアルデジタル信号のライン構造と同期をとることができる。

【0018】

また、上記の目的を達成するため、第6の発明は、第4の発明と同様にRTS生成回路は、ネットワーククロックを所定の周波数の第2のクロックに分周する第1の分周手段と、第1のクロックを $1/N$ の周波数に分周する第1のカウンタと、第1のカウンタの出力タイミングで、第1の分周手段により分周された第2のクロックをラッチして時間情報RTSを出力するラッチ回路とを有し、RTS受信回路は、ネットワーククロックを所定の周波数に分周する第2の分周手段と、ネットワーククロックに基づいてゲートパルスを発生するゲートパルス発生手段と、伝送されてきたRTSを一時蓄積するメモリ手段と、第2の分周手段により分周されたクロックと、メモリ手段から読み出したRTSを比較するコンパレ

ータと、コンパレータの出力信号をゲートパルス発生手段からのゲートパルスに基づいてゲート出力するゲート回路と、ゲート回路の出力信号の周波数を、N倍の周波数に通倍して第1のクロックを再生する周波数通倍手段とよりなるが、第4の発明と異なり、Nの値を15に選定すると共に、ATMセル処理部は、ATMセル8個に対して、HDTVシリアルデジタル信号375バイトを多重し、ペイロードの余りとSAR-PDUヘッダのRTS領域にHDTVシリアルデジタル信号375バイトに対応する10個の時間情報RTSを多重したATMセルを生成することを特徴とする。

【0019】

この発明では、HDTVシリアルデジタル信号という高速な固定ビットレート(CBR)信号をATMセルで伝送する際に、HDTVシリアルデジタル信号の1フレーム分の4950000ビットを、132000個のATMセルで伝送することができ、HDTVシリアルデジタル信号のフレーム構造と同期をとることができる。

【0020】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。図1は本発明になるシリアルデジタル信号伝送方式の第1の実施の形態のブロック図で、同図(a)はRTS生成回路のブロック図、同図(b)はRTS受信回路のブロック図を示す。

【0021】

図1(a)に示すRTS生成回路は、HDTVシリアルデジタル信号を直並列変換するシリアルパラレル(SP)変換器1と、Nカウンタ2と、ラッチ回路3と、周波数2.48832MHzのネットワーククロックを1/32の周波数に分周する1/32分周回路4と、1/32分周回路4の出力信号をカウントするpビットカウンタ5とより構成されている。HDTVシリアルデジタル信号(HD-SDI)のビットレートは、1.485Gbps又は1.485/1.001Gbpsである。

【0022】

図 1 (b) に示す R T S 受信回路は、周波数 2.4 8 8 3 2 M H z のネットワーククロックを $1/32$ の周波数に分周する $1/32$ 分周回路 7 と、 p ビットカウンタ 8 と、 $M_q - 2^{(p-1)}$ カウンタ 9 と、伝送されてきた R T S が入力されて一次蓄積するメモリ手段としてのファーストインファーストアウト (F I F O) 10 と、F I F O 10 の出力信号と p ビットカウンタ 8 の出力信号とを比較するコンパレータ 11 と、コンパレータ 11 の出力信号を $M_q - 2^{(p-1)}$ カウンタ 9 の出力信号に基づいてゲートするゲート回路 12 と、ゲート回路 12 の出力信号を N 通倍する P L L (Phase Locked Loop) 回路 13 と、P L L 回路 13 から出力される伝送されてきたデータ及びパラレルクロック 74.25 M H z 又は $74.25/1.001$ M H z を入力されて並直列変換するパラレルシリアル (P S) 変換器 14 とから構成されている。

【 0 0 2 3 】

ここで、 M_q は H D T V シリアルディジタル信号 (H D - S D I) のシリアルクロックの N 周期中のネットワーククロックの 32 分周クロックのカウント数の平均 M を超えない最大の整数である。第 1 の実施の形態の R T S 生成回路と R T S 受信回路において、 N カウンタ 2 及び P L L 回路 13 による N 通倍の各「 N 」の値は、「8」、「15」又は「16」としているが、この場合、 M_q は「8」、「15」又は「16」となる。なお、 p ビットカウンタ 5、8 の p の値は任意であるが、例えば $p = 1$ とすると、 $M_q - 2^{(p-1)}$ カウンタ 9 は、7 ビットカウンタ ($N = M_q = 8$ の場合)、14 ビットカウンタ ($N = M_q = 15$ の場合)、15 ビットカウンタ ($N = M_q = 16$ の場合) となる。

【 0 0 2 4 】

次に、図 1 の本実施の形態の動作について図 2 のタイミングチャートを併せ参照して説明する。なお、R T S 生成回路において、77.76 M H z のクロックが 8 回カウントされる場合と、7 回カウントされる場合とがあり、これに対応して R T S は 1 の場合と 0 の場合がある。後述する図 2 (E) ~ (J) に示す R T S の受信回路のタイミングチャートは、R T S が 1 の場合と 0 の場合の例を示す。

【 0 0 2 5 】

R T S 生成回路において、まず、図 1 (a) の R T S 生成回路の動作について説明するに、ネットワーククロック 2.48832GHz は周波数が高すぎ、そのままでは使用し難いため、 $1/32$ 分周回路 4 により周波数が $1/32$ 倍の 77.76MHz に分周された後、p ビットカウンタ 5 に供給されてカウントされる。

【 0 0 2 6 】

一方、ビットレート 1.485Gbps 又は $1.485/1.001\text{Gbps}$ の HDTV シリアルデジタル信号 (H D - S D I) は、シリアルパラレル (S P) 変換器 1 により 20 ビットパラレル信号に変換されてデータとして送信されると共に、 20 分周された 74.25MHz 又は $74.25/1.001\text{MHz}$ のパラレルクロックが抽出される。パラレルクロックは N カウンタ 2 によりカウントされて N カウント毎にラッチ回路 3 にラッチパルスとして出力され、ここで p ビットカウンタ 5 の出力カウント値をラッチする。これにより、ラッチ回路 3 から R T S が出力される。

【 0 0 2 7 】

図 2 (A) は上記の 74.25MHz のパラレルクロック、同図 (B) は N ビットカウンタ 2 の出力ラッチパルス、同図 (C) は $1/32$ 分周回路 4 から出力される 77.76MHz のクロック、同図 (D) は p ビットカウンタ 5 の出力信号を示す。

【 0 0 2 8 】

次に、図 1 (b) の R T S 受信回路の動作について説明する。R T S 生成回路と同様に、ネットワーククロック 2.48832GHz が $1/32$ 分周回路 7 により周波数が $1/32$ 倍の 77.76MHz に分周された後、p ビットカウンタ 8 に供給されてカウントされると共に、 $M_q - 2^{(p-1)}$ カウンタ 9 に供給されてカウントされる。図 2 (E) は上記の $1/32$ 分周回路 7 から出力される 77.76MHz のクロックを、同図 (F) は p ビットカウンタ 8 の出力信号、同図 (I) は $M_q - 2^{(p-1)}$ カウンタ 9 の出力信号をそれぞれ示す。

【 0 0 2 9 】

一方、伝送されてきた R T S は、一度 F I F O 10 に供給されて蓄積された後

、図 2 (G) に示すように読み出され、コンパレータ 1 1 に入力されて、p ビットカウンタ 8 のカウント値と比較され、その比較結果がゲート回路 1 2 へ出力される。図 2 (H) は上記のコンパレータ 1 1 から出力される比較結果であるパルスを示す。ゲート回路 1 2 は、 $M_q - 2^{(p-1)}$ カウンタ 9 からのゲートパルスに基づいてゲート動作する。ここで、 M_q は、HDTV シリアルデジタル信号 (HD-SDI) のシリアルクロックの N 周期中のネットワーククロックの 3 2 分周クロックのカウント数の平均 M を越えない最大の整数である。

【 0 0 3 0 】

ゲート回路 1 2 から上記の図 2 (I) に示すゲートパルスによりゲート出力された上記比較結果 (パルス) は、図 2 (J) に示すパルスとなり、RTS 生成回路の N カウンタ 2 の出力信号を再生した信号になるため、この比較結果を更に PLL 回路 1 3 に供給して N 逡倍することにより、N カウンタ 2 の入力信号である 74.25 MHz 又は $74.25 / 1.001$ MHz のパラレルクロックが再生される。

【 0 0 3 1 】

このパラレルクロックで、伝送されてきた 20 ビットパラレル信号のデータをパラレルシリアル (PS) 変換器 1 4 でパラレルシリアル変換 (並直列変換) することにより、HDTV シリアルデジタル信号 (SD-HDI) が再生される。また、ゲート回路 1 2 の出力パルスは、 $M_q - 2^{(p-1)}$ カウンタ 9 のリセットと、FIFO 1 0 から RTS を読み出すタイミング信号に用いられる。

【 0 0 3 2 】

なお、図 1 (b) に示した RTS 受信回路においては、コンパレータ 1 1 の出力パルス (比較結果) は、RTS 生成回路の N カウンタ 2 の出力信号を再生したものであるが、ネットワーククロックの 3 2 分周クロックを基準として再生するため、原理的にジッタが生じる。高い周波数成分を持つジッタは、PLL 回路 1 3 で抑圧されるが、低い周波数成分のジッタは抑圧できないため、低い周波数成分のジッタが大きくなるようなパラメータを決める必要がある。

【 0 0 3 3 】

図 7 は図 1 (a) に示した RTS 生成回路の N カウンタ 2 の「N」の値を、「

「8」、「9」、「15」としたときの、図1(b)に示したRTS受信回路のコンパレータ11出力でのジッタの時間波形と、時間波形から離散的フーリエ変換により求めた周波数特性を示し、図8は上記のNカウンタ2の「N」の値を、「16」、「150」としたときの、上記のコンパレータ11出力でのジッタの時間波形と、時間波形から離散的フーリエ変換により求めた周波数特性を示す。ただし、HDTVシリアルデジタル信号(SD-HDI)は、1.485/1.001Gbpsとした。

【0034】

図7及び図8から分かるように、Nカウンタ2の「N」の値を「9」や「150」とした場合は、ジッタの低周波数成分は比較的大きいが、Nカウンタ2の「N」の値を「8」、「15」、「16」とした場合は、ジッタ低周波数成分が比較的小さい。そこで、本実施の形態では、Nカウンタ2の「N」の値を「8」、「15」又は「16」とすることにより、SRTS法を用いてHDTVデジタルシリアル信号(SD-HDI)を小さいジッタで伝送するものである。

【0035】

次に、本発明の第2の実施の形態について説明する。図3は本発明になるシリアルデジタル信号伝送方式の他の実施の形態の概略システム構成図を示す。同図中、図1と同一構成部分には同一符号を付してある。図3において、RTS生成回路21は、図1(a)に示したSP変換器1以外の回路構成で、また、RTS受信回路23は図1(b)に示したPS変換器14以外の回路構成で、本発明の第2の実施の形態では、RTS生成回路21内のNカウンタ2の「N」の値と、RTS受信回路23のPLL回路13の通倍数「N」の値をそれぞれ「8」とすると共に、ATMアダプテーションレイヤ(AAL)がタイプ1であるAAL1回路(ATMセル処理部)22により図4に示すATMセル構造とするようにしたものである。

【0036】

すなわち、図3のAAL1回路22は、RTS生成回路21から入力されるRTSとSP変換器1から入力されるクロック及びデータとに基づいて、図4に示す構造のATMセルを生成して出力し、また外部から入力された図4に示す構造

の A T M セルを受信し、その A T M セルからデータと R T S を分離してデータは P S 変換器 1 4 に、R T S は R T S 受信回路 2 3 に供給してクロックを再生させる。

【 0 0 3 7 】

1 個の A T M セルは、5 バイトの A T M ヘッダと 4 8 バイトの情報フィールド（ペイロード）からなるが、この実施の形態では、図 4 に示すように、1 個の A T M セルには 4 8 バイトのペイロードに H D T V シリアルデジタル信号 4 5 バイトが多重され、R T S が残りの 2 バイトにのせられる。図 4 中の A T M セル中の数字は、R T S の数を示す。4 5 バイトは、H D T V シリアルデジタル信号の 1 8 サンプルに相当するため、H D T V シリアルデジタル信号を A T M セルに多重し易い。

【 0 0 3 8 】

このとき、H D T V シリアルデジタル信号の 2 0 ビットパラレルクロックに対する前記 N の値は「8」とし、R T S は H D T V シリアルデジタル信号 2 0 バイト毎に 1 個つく。また、A T M セルの 6 バイト目にセル分割・組立プロトコルデータユニット（S A R - P D U : Segmentation And Reassembly Protocol Data Unit）の 1 バイトがのせられる（後述の図 5、図 6 も同様）。

【 0 0 3 9 】

この実施の形態では、A T M セル 4 個に対して、H D T V シリアルデジタル信号 1 8 0 バイトを多重し、ペイロードの余りに H D T V シリアルデジタル信号 1 8 0 バイトに対応する 9 個の R T S を多重している。これにより、データと R T S を効率的に A T M セルにマッピングすることができる。

【 0 0 4 0 】

次に、本発明の第 3 の実施の形態について説明する。本発明の第 3 の実施の形態も第 2 の実施の形態と同様に図 3 の構成による A T M 伝送方式に適用されるものであるが、この第 3 の実施の形態では、図 3 の R T S 生成回路 2 1 内の N カウンタ 2 の「N」の値と、R T S 受信回路 2 3 の P L L 回路 1 3 の逡倍数「N」の値をそれぞれ「8」とすると共に、A T M アダプテーションレイヤ（A A L）がタイプ 1 である A A L 1 回路 2 2 により図 5 に示す A T M セル構造とするように

したものである。

【 0 0 4 1 】

図 5 に示すように、1 個の A T M セルには A T M ヘッダ 5 バイトと S A R - P D U 1 バイトを除く、4 7 バイトのペイロードのうち、H D T V シリアルデジタル信号が 4 5 バイトにのせられ、R T S が残りの 2 バイトにのせられる。図 5 中の A T M セル中の数字は、R T S の数を示す。本実施の形態では更に 1 2 3 個の A T M セル ($= 1 5 + 3 / 8$ サイクル) に 1 ライン分の H D T V シリアルデジタル信号 5 5 0 0 バイトをのせる。1 2 3 セル目の H D T V シリアルデジタル信号は、1 0 バイトとなる。このとき、H D T V シリアルデジタル信号の 2 0 ビットパラレルクロックに対する前記 N の値は「8」とする。この実施の形態では、4 個の A T M セルに 1 8 0 バイトの H D T V シリアルデジタル信号がのるので、4 個の A T M セル毎に 9 個の R T S をのせる。ただし、1 2 3 セル目には、1 個の R T S をのせる。

【 0 0 4 2 】

この実施の形態では、1 個の A T M セルにのせる H D T V シリアルデジタル信号を 4 5 バイトとしているが、4 5 バイト ($= 3 6 0$ ビット) は、H D T V シリアルデジタル信号の 1 8 ($= 3 6 0 / 2 0$) サンプルに相当するため、H D T V シリアルデジタル信号を A T M セルに多重し易い。R T S は H D T V シリアルデジタル信号 2 0 バイト毎に 1 個つく。

【 0 0 4 3 】

この実施の形態では、A T M セル 4 個に対して、H D T V シリアルデジタル信号 1 8 0 バイトをのせるので、4 個の A T M セル毎に 9 個の R T S をのせる。1 2 1、1 2 2 及び 1 2 3 セル目には、合計 1 0 0 バイトの H D T V シリアルデジタル信号をのせるので、1 2 1、1 2 2 及び 1 2 3 セル目には合計 5 個の R T S をのせる。これにより、データと R T S を効率的に A T M セルにマッピングすることができる。

【 0 0 4 4 】

次に、本発明の第 4 の実施の形態について説明する。本発明の第 4 の実施の形態も第 2 及び第 3 の実施の形態と同様に図 3 の構成による A T M 伝送方式に適用

されるものであるが、この第4の実施の形態では、図3のRTS生成回路21内のNカウンタ2の「N」の値と、RTS受信回路23のPLL回路13の通倍数「N」の値をそれぞれ「15」とすると共に、ATMアダプテーションレイヤ（AAL）がタイプ1であるAAL1回路22により図6に示すATMセル構造とするようにしたものである。また、この実施の形態では、図1に示したpビットカウンタ5、8のpの値は「1」である。

【0045】

図6に示すように、8個のATMセルにHDTVシリアルデジタル信号375バイト（＝3000ビット）がのせられ、ペイロードの余り1バイトとSAR-PDU（Segmentation And Reassembly Protocol Data Unit）ヘッダのRTS領域に、RTSが10個（1ビット／個として10ビット）多重されている。このとき、HDTVシリアルデジタル信号の20ビットパラレルクロックに対する図3のRTS生成回路21内のNカウンタ2の「N」の値と、RTS受信回路23のPLL回路13の通倍数「N」の値は、それぞれ「15」となる。また、132000セル（＝165000サイクル）でHDTVシリアルデジタル信号の1フレーム（49500000ビット）となる。

【0046】

この実施の形態では、1サイクルあたりATMセルに多重されるHDTVシリアルデジタル信号の375バイト（＝3000ビット）は、HDTVシリアルデジタル信号の150（＝3000／20）サンプルに相当するため、HDTVシリアルデジタル信号をATMセルに多重し易い。RTSは、HDTVシリアルデジタル信号300ビット毎に1個付く。この実施の形態は、HDTVシリアルデジタル信号のフレーム構造と同期をとり、更にペイロードの利用効率良く、データとRTSとを効率的にATMセルにマッピングすることができる。

【0047】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば、図1ではネットワーククロック2.48832MHzを32分周しているが、将来、高速回路が容易に実現できるようになれば、16分周等にするなど、分周比を小さくすることができる。

【 0 0 4 8 】

また、図 3 では、R T S を A T M セル毎に 2 個、2 個、2 個、3 個、・・・のように多重しているが、データを A T M セルのペイロードに多重した余りの 2 バイトを使用した別の多重も可能である。例えば R T S を、1 ビット／個とすると、4 個目の A T M セルにまとめて多重することもできる。

【 0 0 4 9 】

更に、図 4 では、R T S を A T M セル毎に 2 個、2 個、2 個、3 個、・・・のように多重しているが、データを A T M セルのペイロードに多重した余りの 2 バイト、又は 1 2 3 セル目のデータを A T M セルのペイロードに多重した余りの 3 7 バイトを使った別の多重もできる。例えば、R T S を 1 ビット／個とすると、1 2 3 セル目のデータを A T M セルのペイロードに多重した余りの 3 7 バイトに 1 ライン分の R T S 2 7 5 個をまとめて多重することもできる。

【 0 0 5 0 】

【発明の効果】

以上説明したように、第 1 乃至第 3 の発明によれば、H D T V シリアルデジタル信号という高速な固定ビットレート（C B R）信号を伝送する際に、S R T S 法を用いて H D T V シリアルデジタル信号のクロックを、小さなジッタで伝送することができる。

【 0 0 5 1 】

また、第 4 の発明によれば、A T M セルで S R T S 法を用いて、H D T V シリアルデジタル信号を伝送する際に、データと時間情報 R T S を効率的に A T M セルにマッピングして伝送できる。

【 0 0 5 2 】

また、第 5 の発明によれば、A T M セルで S R T S 法を用いて、H D T V シリアルデジタル信号を伝送する際に、H D T V シリアルデジタル信号の 1 ライン分の 5 5 0 0 バイトを時間情報 R T S と共に A T M セル 1 2 3 個に多重して伝送するようにしたため、H D T V シリアルデジタル信号のライン構造と同期をとり、データと時間情報 R T S を効率的に A T M セルにマッピングして伝送することができる。

【 0 0 5 3 】

更に、第 6 の発明によれば、A T MセルでS R T S法を用いて、H D T Vシリアルデジタル信号を伝送する際に、H D T Vシリアルデジタル信号の 1 フレーム分の 4 9 5 0 0 0 0 0 ビットを、時間情報 R T S と共に 1 3 2 0 0 0 個の A T Mセルに多重して伝送するようにしたため、H D T Vシリアルデジタル信号のフレーム構造と同期をとり、データと時間情報 R T S を効率的に A T Mセルにマッピングして伝送することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態のブロック図である。

【図 2】

図 1 の動作説明用タイミングチャートである。

【図 3】

本発明の第 2 、第 3 及び第 4 の実施の形態の概略構成図である。

【図 4】

本発明の第 2 の実施の形態の A T Mセル構造の説明図である。

【図 5】

本発明の第 3 の実施の形態の A T Mセル構造の説明図である。

【図 6】

本発明の第 4 の実施の形態の A T Mセル構造の説明図である。

【図 7】

図 1 (b) の R T S 受信回路のコンパレータ出力でのジッタの時間波形と、時間波形から離散的フーリエ変換により求めた周波数特性を示す図 (その 1) である。

【図 8】

図 1 (b) の R T S 受信回路のコンパレータ出力でのジッタの時間波形と、時間波形から離散的フーリエ変換により求めた周波数特性を示す図 (その 2) である。

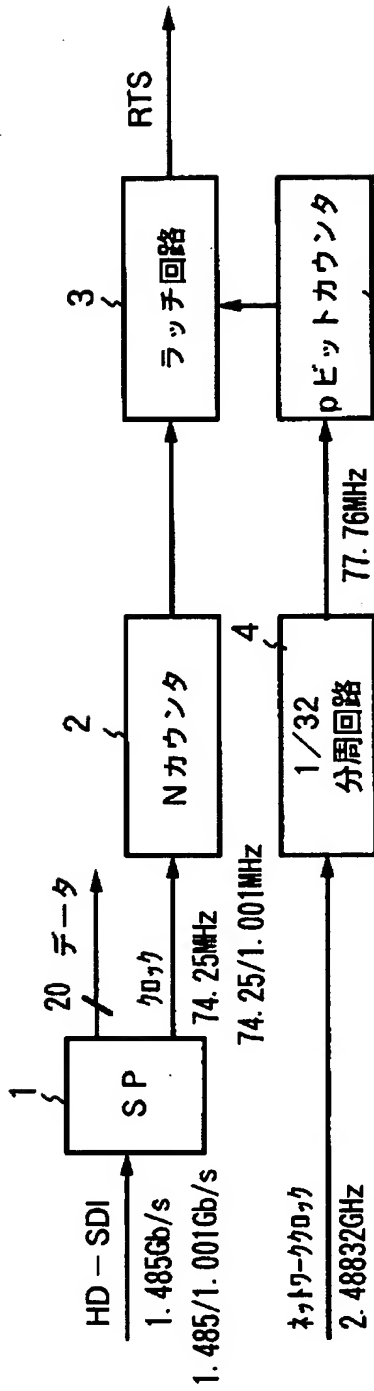
【符号の説明】

- 1 シリアルパラレル (S P) 変換器
- 2 Nカウンタ
- 3 ラッチ回路
- 4、7 1 / 3 2 分周回路
- 5、8 p ビットカウンタ
- 9 $M_q - 2 (p - 1)$ カウンタ
- 1 0 F I F O
- 1 1 コンパレータ
- 1 2 ゲート回路
- 1 3 P L L 回路
- 1 4 パラレルシリアル (P S) 変換器
- 2 1 R T S 生成回路
- 2 2 A A L 1 回路 (A T M セル処理部)
- 2 3 R T S 受信回路

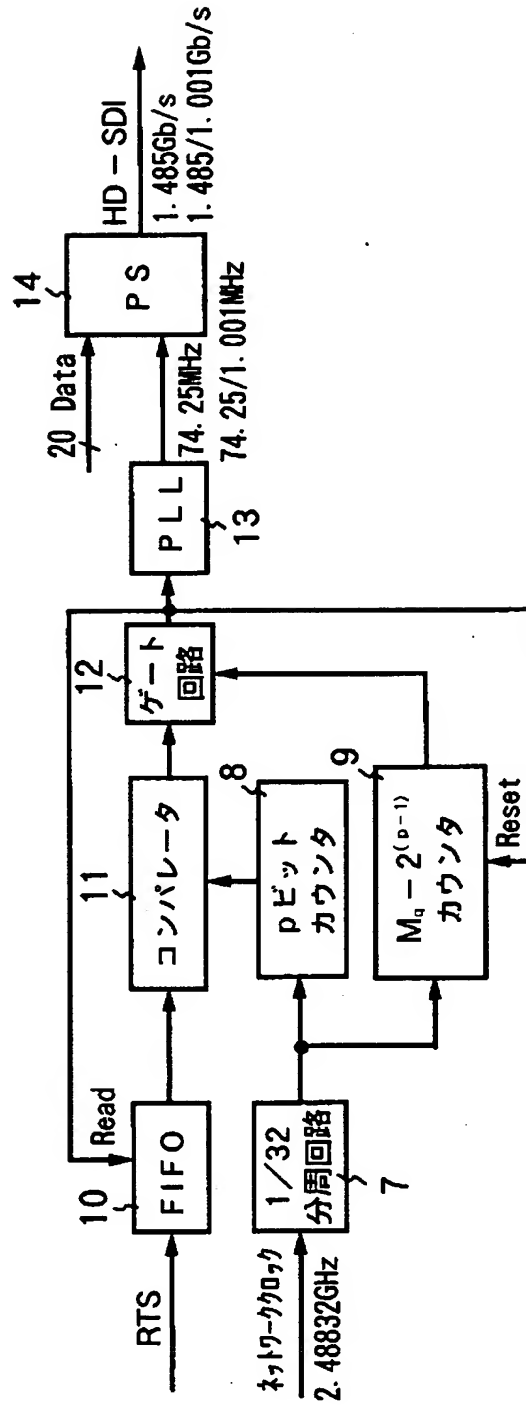
【書類名】

図面

【図 1】

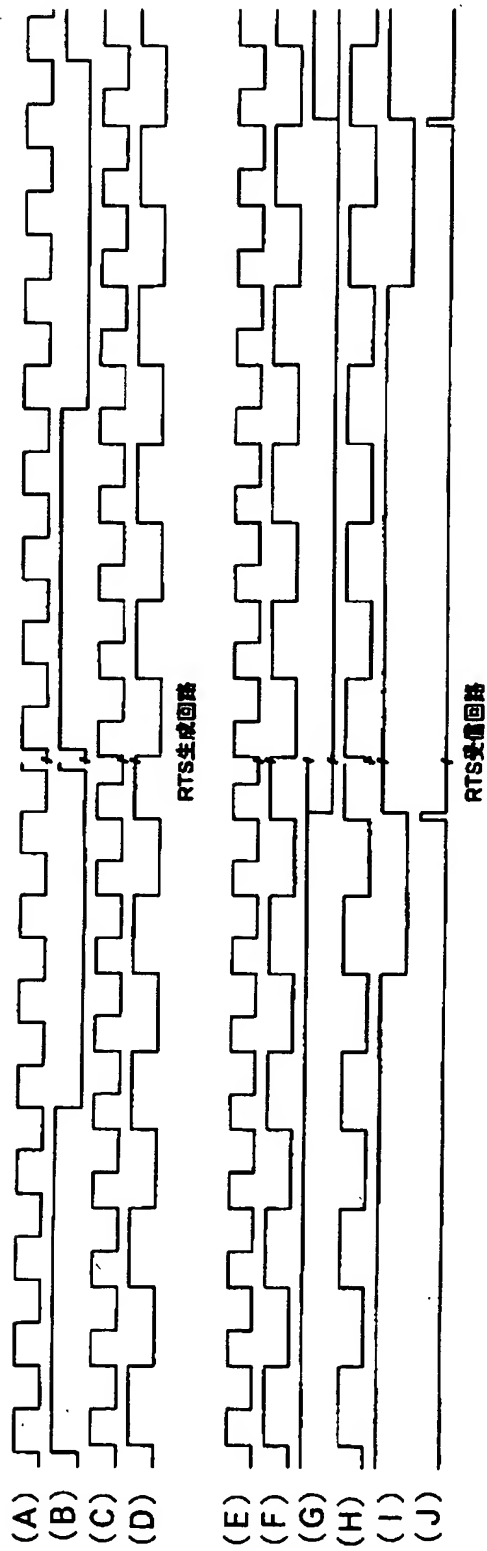


(a) RTS生成回路例

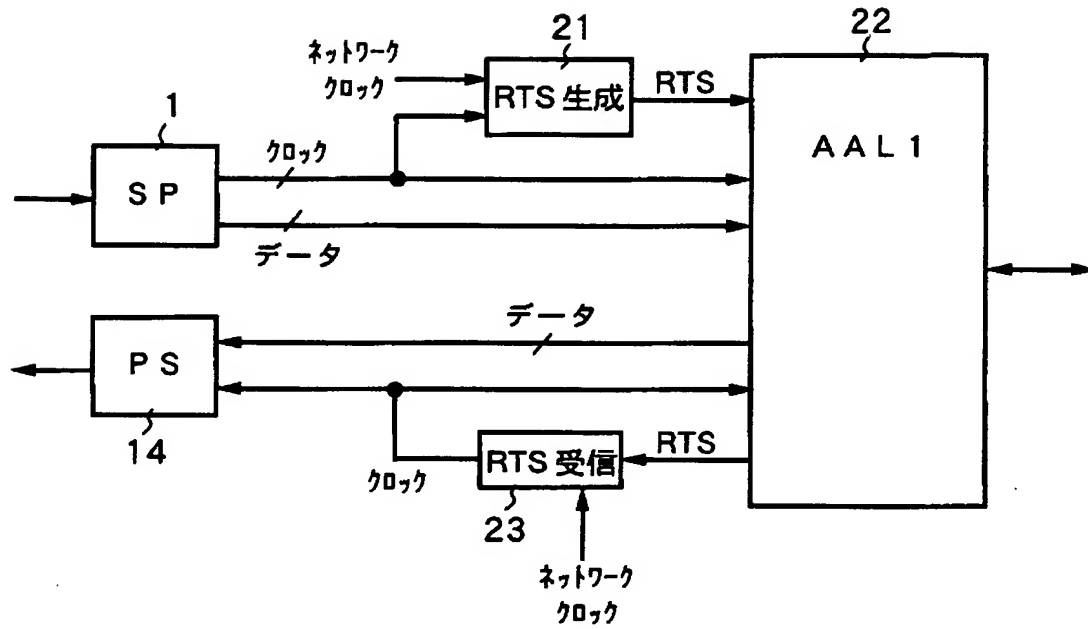


(b) RTS受信回路例

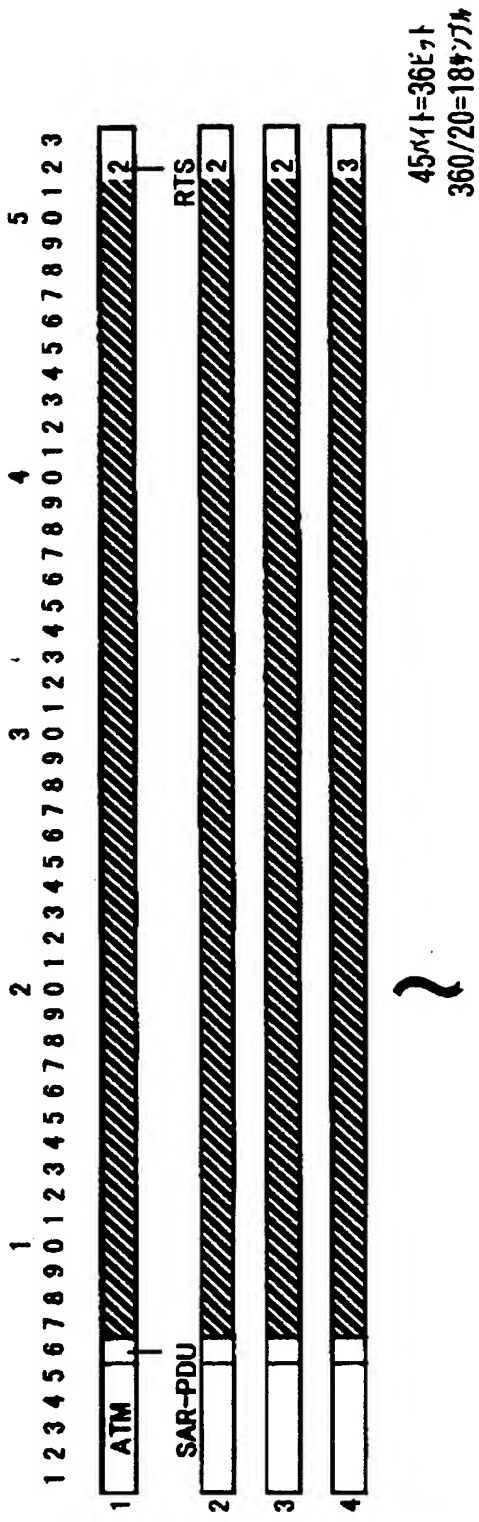
【図 2】



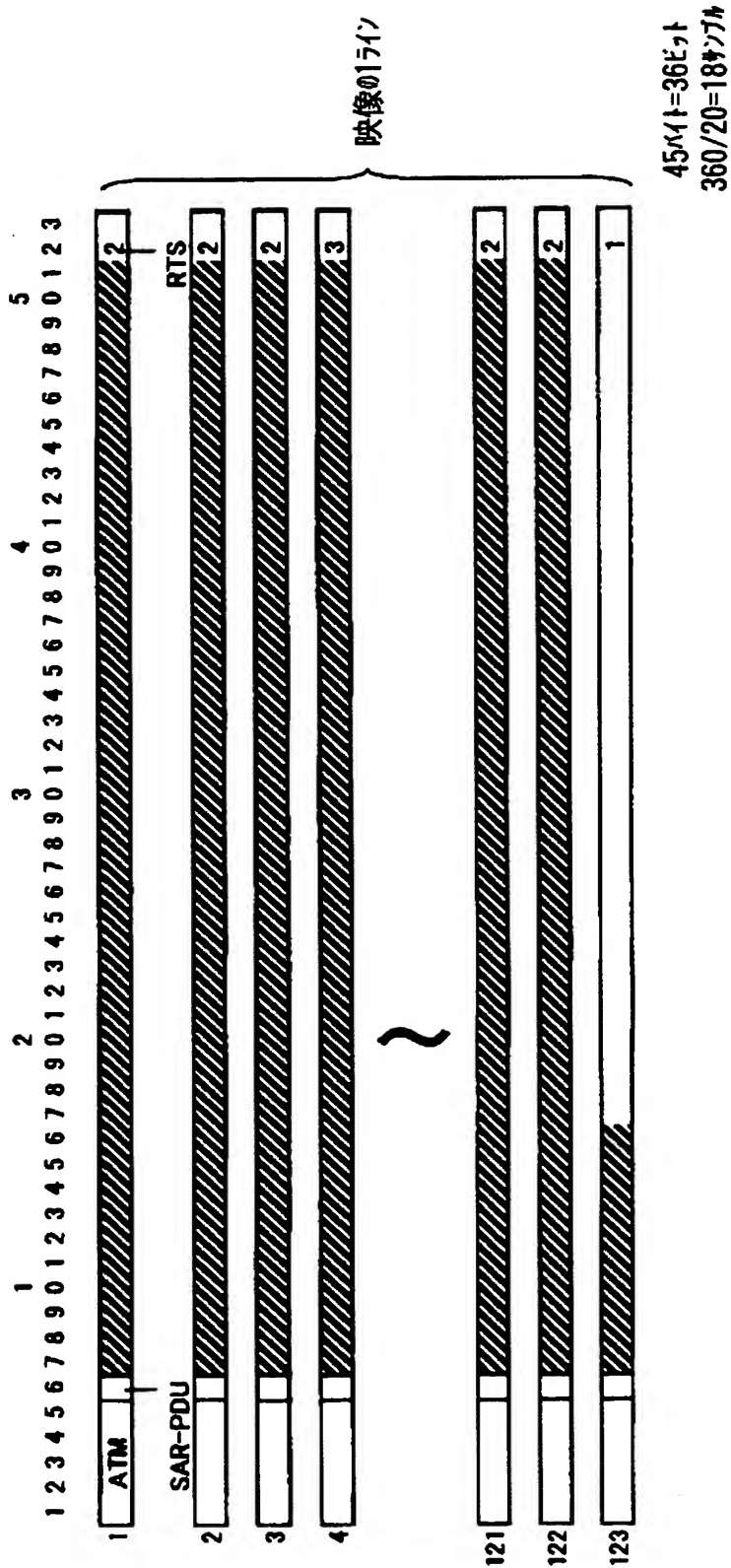
【図 3】



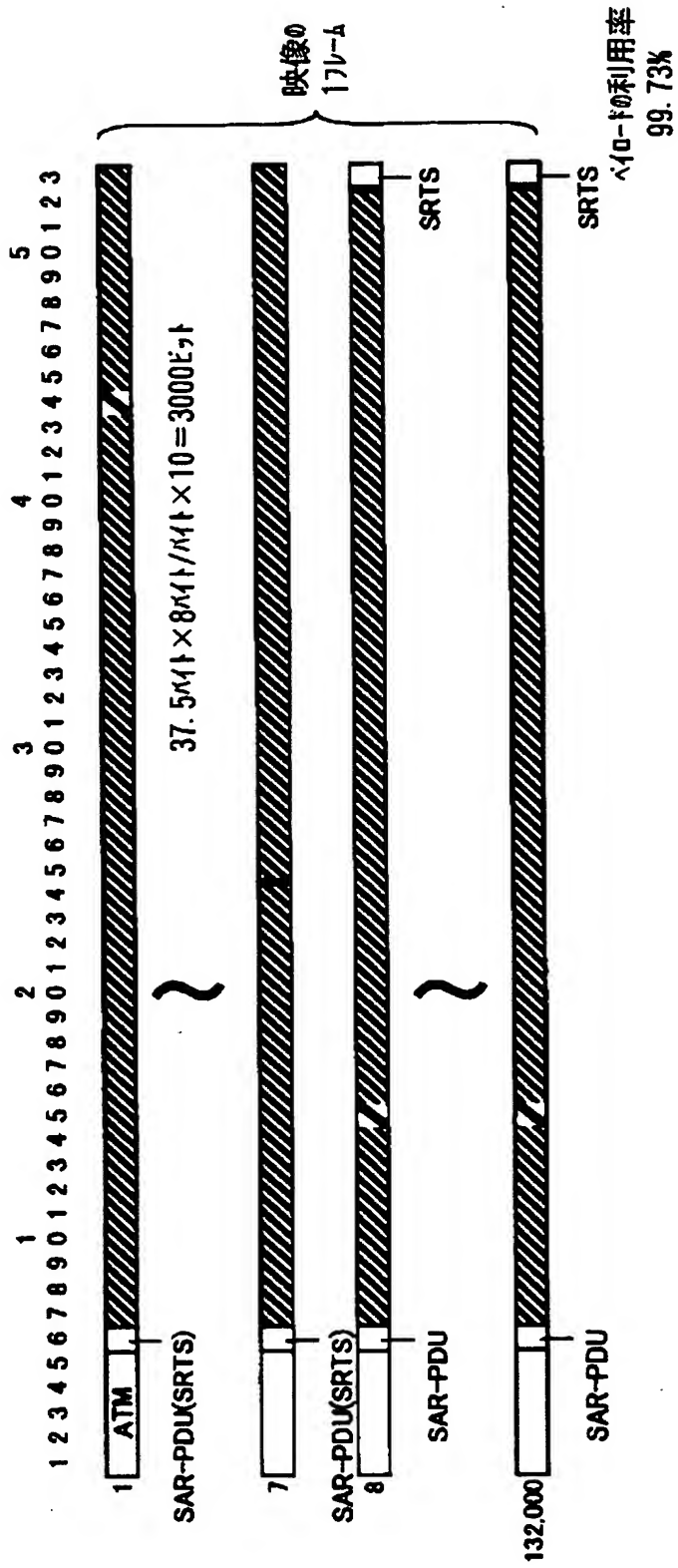
【図 4】



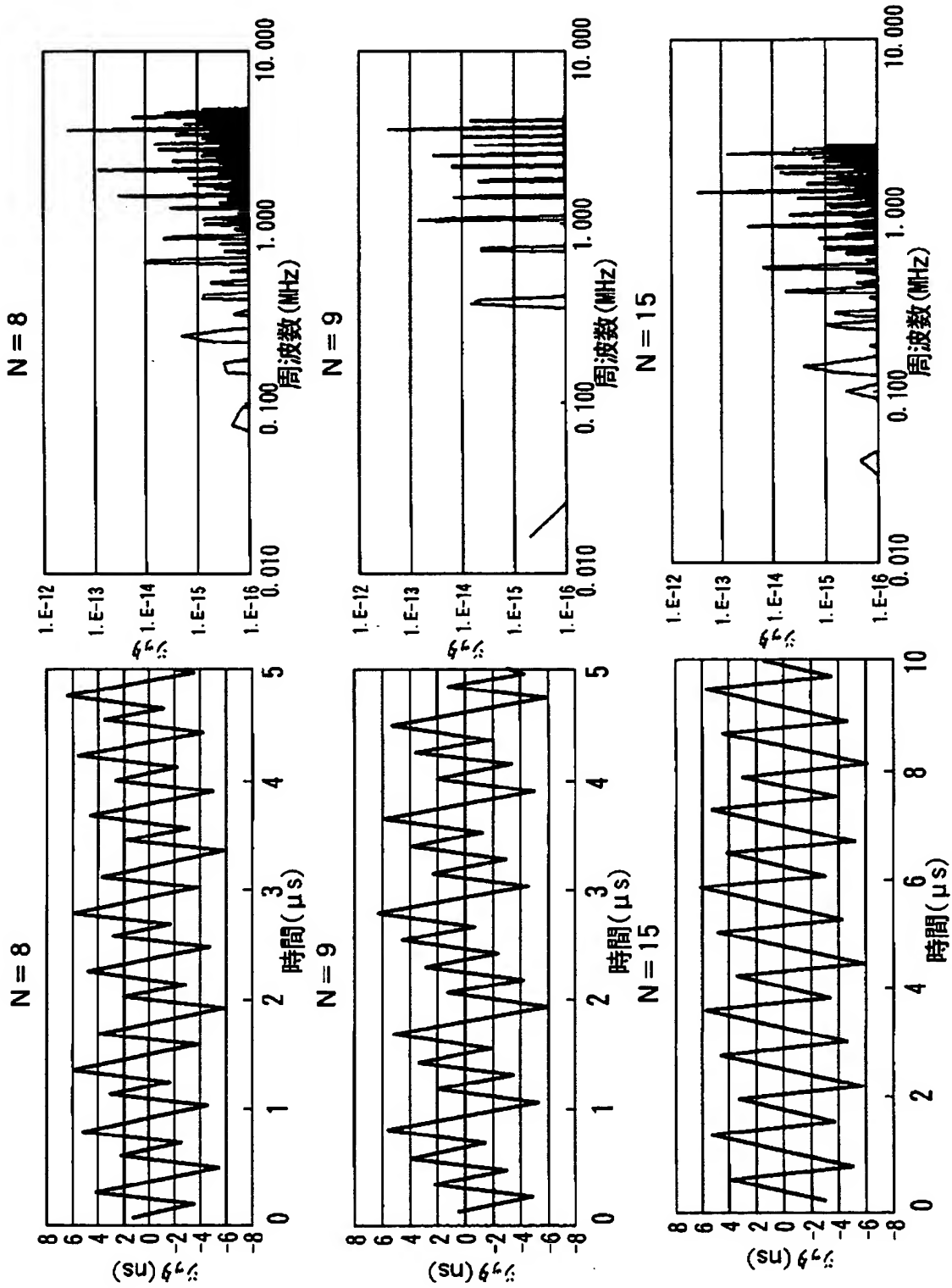
【図5】



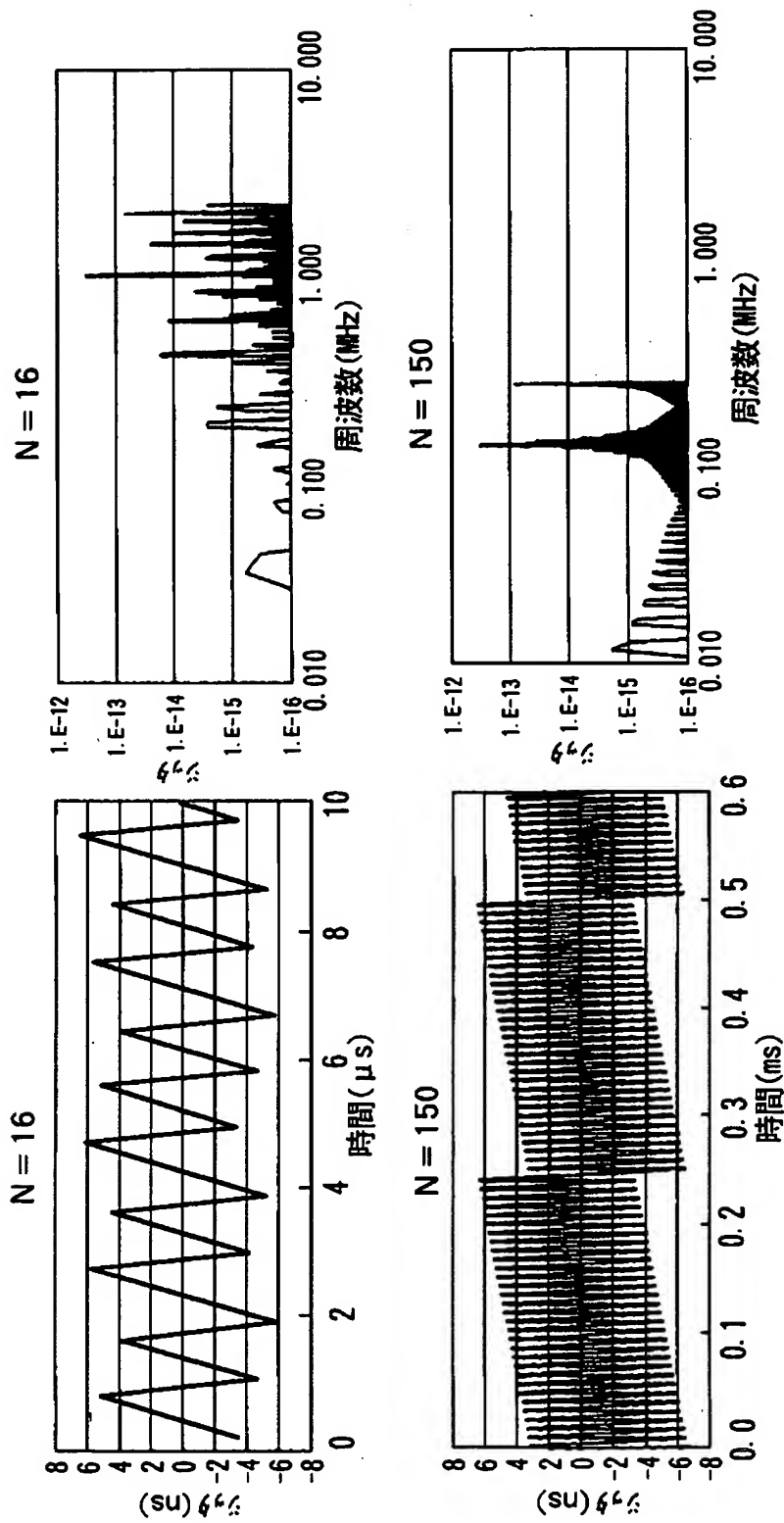
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 スタッフ同期方式は、HDTVシリアルデジタル信号のような高速な信号であるときには適用できず、SRTS法もHDTVシリアルデジタル信号にはそのまま適用できない。

【解決手段】 パラレルクロックはNカウンタ2によりカウントされてラッチ回路3に出力され、ここでpビットカウンタ5の出力カウント値をラッチする。ラッチ回路3からRTSが出力される。ゲート回路12からゲート出力された比較結果は、PLL回路13に供給されてN通倍されることにより、Nカウンタ2の入力信号である74.25MHz又は $74.25 / 1.001$ MHzのパラレルクロックが再生される（Nは8、15又は16）。このパラレルクロックで、伝送されてきたデータをPS変換器14でパラレルシリアル変換する。これにより、SRTS法を用いてHDTVデジタルシリアル信号を小さいジッタで伝送できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社